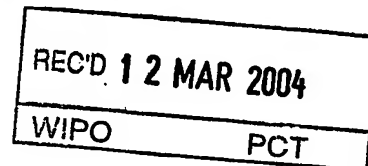


X3

Rec'd PCT/PTO 11 JUL 2005



**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 103 00 577.3

**Anmeldetag:** 10. Januar 2003

**Anmelder/Inhaber:** Fraunhofer-Gesellschaft zur Förderung der angewandten Forschung eV, 80636 München/DE

**Bezeichnung:** Verfahren zur Herstellung eines Halbleiterbauelements

**IPC:** H 01 L 21/762

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. Februar 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Dzierzon

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

Verfahren zur Herstellung eines Halbleiterbauelements

5       **Technisches Gebiet**

Die Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterbauelements, das über ein erstes vertikales Leistungsbaulement sowie wenigstens ein laterales, aktives Bauelement und/oder zumindest  
10 ein zweites vertikales Bauelement verfügt sowie ein mit dem Verfahren herstellbares Halbleiterbauelement.

**Stand der Technik**

Bei der monolithischen Integration handelt es sich  
15 um ein Herstellungsverfahren für Mikrochips, bei dem die verschiedenen Bauelemente nicht einzeln justiert und aufgeklebt werden müssen, sondern der ganze Chip aus einem Stück gefertigt wird. Neben dem geringeren Justieraufwand sind solche Systeme außerordentlich  
20 robust.

Für die monolithische Integration sind Leistungsbaulemente, insbesondere Bipolar- und MOS-Stufen zur Verarbeitung größerer Ströme ( $I > 1$  Ampere) bei Verlustleistungen von  $P_V > 5$  Watt seit langem  
25 verfügbar. Diese Bauelemente erreichen heutzutage Leistungen bis 1 kW bzw. Ströme bis zu 50 A.

Zunehmend wurden in solche Konzepte Treiberschaltungen zum Ansteuern der Leistungsstufen  
30 sowie Schutzschaltungen zur Absicherung gegen thermische und elektrische Überlastung einbezogen. Schließlich wurde sogar dazu übergegangen, auch die

Informationsverarbeitung mit in das Integrationskonzept einzufügen. Derartige integrierte Schaltungen, die außer einem Leistungsteil einen informationsverarbeitenden Schaltungsteil auf einem  
5 Chip enthalten, werden als so genannte Smart-Power-Schaltungen bezeichnet.

Aus der Verwendung dieser Smart-Power-Schaltungen ergeben sich sowohl Prozess- als auch Bauelemente-  
10 spezifische Vor- und Nachteile. Vorteilhaft ist es in jedem Fall, den Bipolar-, CMOS- wie auch PMOS-Prozess, insbesondere für MOS-Leistungsstufen mit vertikalem Stromfluss, auf dem Chip verfügbar zu haben. Derartige Bipolar-, CMOS-, PMOS- oder auch BCD-Konzepte werden  
15 immer weiter entwickelt.

Die monolithische Integration der vorgenannten Leistungsbauelemente wird in Abhängigkeit der jeweiligen Spannungs-klasse auf unterschiedliche Weise  
20 realisiert. Für Spannungen bis einige 100 V kommen so genannte Smart-Power-Prozesse, wie etwa BCDMOS zum Einsatz. Die laterale Trennung der unterschiedlichen Bereiche erfolgt hierbei entweder durch Dotierungsgebiete oder durch dielektrische Isolation.  
25

Bei vertikalen Leistungshalbleitern wird üblicherweise eine Isolation des Leistungsbauelementes gegenüber der Steuerschaltung durch einen pn-Übergang bewirkt. Problematisch an einem solchen pn-Übergang ist  
30 allerdings, dass zwischen den Source-Drain-Zonen des n-Kanal-Transistors und den Source-Drain-Zonen des p-Kanal-Transistors eine Thyristorstruktur existiert, die Zünden kann und damit die Funktionsfähigkeit des

Inverters herabsetzt bzw. zur Zerstörung des Bauelementes führt. Dieser unerwünschte Effekt wird als „latch-up-Effekt“ bezeichnet. Je höher der angestrebte Integrationsgrad ist, umso enger versucht man p-Kanal- und n-Kanalstruktur anzuordnen und umso wirksamer wird dieser störende Effekt.

Aus diesem Grund sind verschiedene Prozesse entwickelt worden, die auf einer dielektrischen Isolation der verschiedenen Schaltungsteile voneinander beruhen. So kann bspw. an Stelle des pn-Übergangs das entsprechende Leistungsbaulement auch mit Hilfe einer dielektrischen Isolation gegenüber der Steuerschaltung isoliert werden. Nachteilig an dieser Art der Isolierung ist wiederum, dass diese Ansätze zur monolithischen Integration von Leistungsbaulementen zurzeit noch auf der extrem teuren Silicon-On-Insulator Technologie(SOI) beruhen. Zur Isolation der verschiedenen Bauelemente werden Trenches bis zu der vergrabenen Oxidschicht geätzt, die mit Oxid oder Oxid und Polysilizium aufgefüllt werden.

Ein grundsätzlicher Nachteil der SOI-Technologie besteht darin, dass eine unerwünschte Steuerwirkung des Substrates nicht zu vermeiden ist. Das Substrat wirkt über den vergrabenen Isolator wie eine zweite Gate-Elektrode auf Transistoren, die in eine Schicht integriert ist. Dies kann beim Auftreten von Potenzialdifferenzen zwischen dem Substrat und der entsprechenden Schicht zu Schwellenspannungsverschiebungen und zu Änderungen des Schaltzustandes der Transistoren führen.

In diesem Zusammenhang wird in der DE 42 01 910 A1 eine weitere Entwicklung dargestellt. Diese Druckschrift beschreibt ein Verfahren zur Herstellung einer integrierten Schaltung mit wenigstens zwei

5 vertikalen Leistungsbauelementen, bei dem Einflüsse von Schaltungsvorgängen eines vertikalen Leistungsbauelementes auf eine Steuerschaltung bzw. auf ein zweites vertikales Leistungsbauelement weitgehend vermieden werden sollen. Das in dieser Druckschrift

10 beschriebene Halbleiterbauelement zeichnet sich im Wesentlichen dadurch aus, dass die Steuerschaltung oberhalb einer rückseitigen Ätzausnehmung liegt und gegenüber der Ätzausnehmung durch eine Ätzstoppschicht abgegrenzt ist. Die Steuerschaltung ist ferner in

15 lateraler Richtung gegenüber den Leistungsbauelementen durch eine LOCOS-Isolation isoliert. Nachteilig an dem in dieser Druckschrift beschriebenen Leistungsbauelement ist allerdings, dass bei dessen Herstellung zum einen sehr viel Siliziumfläche für die

20 lateralen Isolationsgebiete benötigt wird und zum anderen, das Halbleiterbauelement auf Grund dieser Art der Isolation nicht für höhere Spannungsklassen geeignet ist.

25. Ausgehend von dem bekannten Stand der Technik liegt der Erfindung die Aufgabe zu Grunde, ein Halbleiterbauelement sowie ein Verfahren zu dessen Herstellung anzugeben, die eine kostengünstige Integration eines vertikalen Leistungsbauelementes und

30 eines lateralen, aktiven Bauelements und/oder weiterer vertikaler Leistungsbauelemente ermöglichen. Insbesondere soll es mit Hilfe eines Bauelementes, das die vorgenannte Aufgabe löst, möglich sein, auch

Leistungsbaulemente höherer Spannungsklassen auf dem Halbleiterbaulement zu integrieren.

Die Aufgabe wird mit dem Verfahren gemäß  
5 Anspruch 1 und dem Halbleiterbaulement nach Anspruch 10 gelöst. Vorteilhafte Weiterbildungen des Erfindungsgedankens sind Gegenstand der Unteransprüche sowie aus dem nachfolgenden Beschreibungstext unter Bezugnahme auf die Ausführungsbeispiele zu entnehmen.

10

Erfindungsgemäß ist ein Verfahren zur Herstellung eines Halbleiterbaulements, das über ein erstes vertikales Leistungsbaulement sowie wenigstens ein laterales, aktives Baulement und/oder zumindest ein  
15 zweites vertikales Leistungsbaulement verfügt mit den Schritten:

- Bereitstellen eines eine Vorder- und eine Rückseite aufweisenden Silizium-Substrates,
- Ätzen wenigstens eines Grabens, der zumindest eine  
20 Teilfläche der Vorderseite vollumfänglich umschließt, in das Silizium-Substrat,
- Auffüllen des wenigstens einen Grabens mit einer Isolierung, die zumindest ein Dielektrikum enthält oder ein Dielektrikum ist,
- 25 - Durchführen von Prozessschritten auf der Vorderseite des Silizium-Substrates zum Herstellen eines ersten vertikalen Leistungsbaulementes sowie wenigstens eines lateralen, aktiven Baulements und/oder zumindest eines zweiten vertikalen Leistungsbaulementes, so dass sowohl  
30 das erste Leistungsbaulement als auch das wenigstens eine laterale, aktive Baulement und/oder zumindest ein zweites vertikales Leistungsbaulement kon- oder exzentrisch um einen gemeinsamen Bezugspunkt und

jeweils durch den wenigstens einen Graben voneinander  
getrennt auf dem Substrat angeordnet werden,  
- ganzflächiges Dünnen des Silizium-Substrates von der  
Rückseite her bis an die Isolierung sowie  
5 - Kontaktieren der Leistungsbauelemente von der  
Rückseite her.

Das erfindungsgemäße Verfahren ermöglicht es  
somit, mehrere vertikale Leistungsbauelemente sowie  
10 laterale, aktive Bauelemente auf einem  
Halbleiterbauelement zu integrieren. Die elektrische  
Isolation der verschiedenen Bauelemente wird dadurch  
erreicht, dass zunächst Gräben in den Silizium-Wafer  
geätzt werden, die mit einem Dielektrikum aufgefüllt  
15 werden. Die Tiefe der Gräben wird derart eingestellt,  
dass sie der Waferdicke nach dem Dünnungsprozess  
entspricht. Zur Isolation der einzelnen Bauelemente  
können ein oder mehrere Gräben verwendet werden.

20 In einer besonderen Ausführungsform des  
erfindungsgemäßen Verfahrens werden das erste  
Leistungsbauelement, das wenigstens eine laterale,  
aktive Bauelement und/oder das zumindest eine zweite  
vertikale Leistungsbauelement annähernd ring- und/oder  
25 scheibenförmig ausgebildet. Vorzugsweise wird das  
laterale, aktive Bauelement scheibenförmig ausgebildet  
und derart auf der Vorderseite angeordnet, dass es  
volumfänglich von dem Graben in dem ersten  
Leistungsbauelement umgeben ist.

30 Auf diese Weise wird eine konzentrische Anordnung  
der jeweiligen Funktionselemente verwirklicht, wobei  
die innere Fläche des Halbleiterbauelements lateral

aktive Bauelemente enthält und die Leistungsbauelemente nach außen hin in Ringen um das lateral aktive Bauelement herum angeordnet werden.

- 5        In einer Weiterbildung des erfindungsgemäßen  
Verfahrens ist vorgesehen, dass nach dem Dünnen und vor  
der Kontaktierung des wenigstens einen  
Leistungsbauelements ein Dielektrikum auf der Rückseite  
des Substrats abgeschieden wird. Das Dielektrikum  
10 dient der vollständigen elektrischen Entkopplung des  
Wafersubstrates. Um eine rückseitige Kontaktierung der  
Leistungsbauelemente zu Gewähr leisten, wird das  
Dielektrikum in einem nachfolgenden Verfahrensschritt  
an den entsprechenden Stellen für eine Rückseiten-  
15 Metallisierung geöffnet.

- Auf der Vorderseite des Silizium-Substrates wird  
vorzugsweise wenigstens ein Graben, der zumindest eine  
Teilfläche der Vorderseite vollumfänglich umschließt,  
20 in die Oberfläche hineingeätzt. Die Tiefe des  
wenigstens einen Grabens wird derart eingestellt, dass  
sie der Waferdicke nach dem Dünnungsprozess entspricht.  
Als Auffüllung der Gräben sind aus Gründen der  
lateralen Feldverteilung auch Kombinationen aus einem  
25 Dielektrikum mit dotiertem Polysilizium denkbar.

- In einer weiteren, besonders geeigneten  
Ausführungsform des erfindungsgemäßen Verfahrens werden  
auf einem Silizium-Substrat eine Vielzahl vertikaler  
30 Leistungsbauelemente sowie lateraler, aktiver  
Bauelemente derart angeordnet, dass sie kon- oder  
exzentrisch um einen gemeinsamen Bezugspunkt auf dem  
Substrat angeordnet werden und jeweils durch einen



Graben, der nach dem vorgenannten Verfahren hergestellt wurde, voneinander isoliert werden.

Die Kontaktierung des einen oder der mehreren  
5 Leistungsbaulemente erfolgt vorzugsweise mit den Schritten:

- Herstellen von Öffnungen in dem Dielektrikum zur Kontaktierung des wenigstens einen Leistungsbaulementes von der Rückseite her sowie
- 10 - Aufbringen einer Metallisierung auf die Rückseite. In einer speziellen Weiterbildung wird die aufgebrachte Metallisierung strukturiert.

Eine weitere, besonders geeignete Ausführungsform  
15 sieht vor, das wenigstens eine laterale, aktive Bauelement in einer dotierten Wanne anzuordnen. Auf diese Weise wird sichergestellt, dass die lateralen, aktiven Bauelemente an der Waferoberfläche potenzialmäßig von der spannungsführenden  
20 Waferrückseite entkoppelt sind. Vorzugsweise wird das zumindest eine laterale, aktive Bauelement hierzu in einer p-dotierten Wanne angeordnet.

Besonders geeignet ist es weiterhin, das  
25 wenigstens eine laterale, aktive Bauelement in Bipolar-, CMOS-, NMOS- und/oder PMOS-Technologie in dem Halbleiterbauelement zu integrieren.

Das erfindungsgemäße Halbleiterbauelement, weist  
30 wenigstens ein erstes vertikales Leistungsbaulement sowie wenigstens ein laterales, aktives Bauelement und/oder zumindest ein zweites vertikales Leistungsbaulement auf, zwischen denen wenigstens ein

mit einer Isolierung gefüllter Graben angeordnet ist.  
Das beschriebene Halbleiterbauelement zeichnet sich  
dadurch aus, dass die Isolierung wenigstens teilweise  
ein Dielektrikum aufweist und dass das wenigstens eine  
5 vertikale Leistungsbauelement und das wenigstens eine  
laterale, aktive Bauelement annähernd ring- und/oder  
scheibenförmig ausgebildet und kon- oder exzentrisch um  
einen gemeinsamen Bezugspunkt auf einem Silizium-  
Substrat angeordnet sind.

10

Das vorgenannte Halbleiterbauelement ermöglicht  
auf Grund der erfindungsgemäßen Ausführungen die  
Integration mehrerer vertikaler Leistungsbauelemente  
sowie lateraler, aktiver Bauelemente auf einem  
15 Bauelement. Wesentlicher Vorteil des erfindungsgemäßen  
Halbleiterbauelementes ist es außerdem, dass vertikal  
und lateral, aktive Bauelemente besonders platzsparend  
auf einem Bauelement angeordnet werden.

20

Vorzugsweise kommen im erfindungsgemäßen  
Halbleiterbauelement Leistungsbauelemente für  
Spannungen von bis zu 1700 V zum Einsatz. Je nach  
eingesetztem Leistungsbauelement variieren die  
Spannungsklassen zwischen 600 und 1700 V. Daher ist es  
25 sowohl möglich, als Leistungsbauelement Power-MOS-  
Bauelemente in einer Spannungsklasse von 100 bis 200V,  
IGBTs in einer Spannungsklasse von bis zu 1700 V,  
vorzugsweise von 600 bis 1200V, oder Dioden  
einzusetzen.

30

Um im Sperrfall hohe Feldstärken am Aktivgebiet zu  
vermeiden, benötigen die vorgenannten  
Leistungsbauelemente in jedem Fall eine

Randabschlussstruktur. So beträgt bei Bauelementen für Spannungen bis 1200 V die Länge dieser Randabschlüsse beispielsweise bis zu 600  $\mu\text{m}$ . Würden Bauelemente in konventioneller Bauweise auf einem Wafer nebeneinander platziert und durch eine konventionell ausgeführte Trenchisolation voneinander getrennt, wäre für jedes einzelne Bauelement ein Randabschluss vorzusehen, über den die Metallisierung zu führen wäre. Im Gegensatz hierzu wird durch die erfindungsgemäße, vorzugsweise konzentrische Anordnung der jeweiligen auf einem Halbleiterbauelement zu integrierenden Funktionselemente der für die zuvor beschriebenen Randabschlussstrukturen benötigte Platz stark minimiert. Darüber hinaus wird durch diese, besonders geeignete Anordnung der Funktionsbauelemente der Aufwand bei der Kontaktierung erheblich verringert.

In einer besonderen Ausführungsform werden die Leistungsbauelemente nach außen hin ringförmig angeordnet. Vorzugsweise ist hierbei das wenigstens eine laterale, aktive Bauelement vollumfänglich von zumindest einem gefüllten Graben und einem vertikalen Leistungsbauelement umgeben.

Um darüber hinaus sicherzustellen, dass die laterale, aktiven Bauelemente an der Waferoberfläche potenzialmäßig auch von der spannungsführenden Waferrückseite entkoppelt sind, sieht eine weitere, besondere Ausführungsform vor, das wenigstens eine laterale, aktive Bauelement in einer dotierten Wanne anzuordnen.

Weiterhin ist es von besonderem Vorteil, auf der Rückseite des Halbleiterbauelementes ein Dielektrikum vorzusehen, so dass eine vollständige elektrische Entkopplung auch nach dem Dünnen der Wafersubstrate Gewähr leistet wird. Zur rückseitigen Kontaktierung der Leistungsbaulemente sieht das Dielektrikum vorzugsweise entsprechende Öffnungen vor.

Das erfindungsgemäße Verfahren zur Herstellung eines Halbleiterbauelementes sowie das Halbleiterbauelement sollen im weiteren unter Bezugnahme auf die im Folgenden beschriebenen Figuren ohne Beschränkung des allgemeinen Erfindungsgedankens näher erläutert werden.

15

#### **Kurze Beschreibung der Erfindung**

Die Erfindung wird nachstehend ohne Beschränkung des allgemeinen Erfindungsgedankens anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnungen exemplarisch beschrieben. Es zeigen:

- Fig. 1      Prozessschritte zur elektrischen Isolation der Bauelemente auf einem Wafer,
- 25      Fig. 2      eine konzentrische Anordnung der Funktionselemente gemäß der vorliegenden Erfindung, und
- 30      Fig. 3      die Entkopplung des Logikbereichs bei der vorliegenden Erfindung.

In Fig. 1 sind die Prozessschritte zur elektrischen Isolation der Bauelemente auf einem Wafer

dargestellt. Die elektrische Isolation der verschiedenen Bauelemente wird dadurch erreicht, dass zuerst Gräben 2 in das Silizium-Substrat 1 geätzt werden. In einem zweiten Prozessschritt erfolgt die  
5 Auffüllung der Gräben 2 mit einem Dielektrikum oder einer Kombination aus einem Dielektrikum mit Polysilizium als Isolationsschicht 4. Abschließend erfolgt das Dünnen des Silizium-Substrates 1 von der Rückseite her bis an die Grabensohle 3 des in das Silizium-  
10 Substrates 1 geätzten Grabens 2. Auf diese Weise wird die in die Gräben 2 eingefüllte Isolationsschicht 4 von der Rückseite her freigelegt. Die Tiefe der Gräben 2 wird derart eingestellt, dass sie der Waferdicke nach dem Dünnungsprozess entspricht.

15  
In Fig. 2 ist dagegen ein erfindungsgemäß ausgeführtes Halbleiterbauelement dargestellt. Die jeweiligen Funktionselemente 5,6 sind konzentrisch und getrennt durch Trenchisolationen 4 auf einem Substrat  
20 angeordnet. Wahlweise könnten die Funktionselemente 5,6 auch exzentrisch angeordnet werden. Die innere Fläche des Chips enthält laterale, aktive Bauelemente 6, wie bspw. in Bipolar-, CMOS-, NMOS oder PMOS-Technologie ausgeführte Bauelemente. Die Leistungsbauelemente 5,  
25 wie etwa IGBTs und/oder Dioden sind ringförmig um das laterale, aktive Bauelement 6 angeordnet. Selbstverständlich ist es möglich, sowohl Leistungsbauelemente 5 und/oder ein laterales, aktives Bauelement 6 in derartigen Ringen um ein zentral  
30 angeordnetes und scheibenförmig ausgeführtes Funktionselement anzuordnen.

Die Fig. 3 zeigt eine Schnittansicht durch ein erfindungsgemäßes Halbleiterbauelement. Auf dem Halbleiterbauelement ist ein IGBT 9, eine Diode 10 sowie ein laterales, aktives Bauelement 6 angeordnet, die jeweils durch eine Trenchisolation 4 elektrisch isolierend voneinander getrennt sind. Auf der Vorderseite sind eine Vielzahl von Vorderseitenkontakten 11, in Form von Lötbumps vorgesehen. Das laterale, aktive Bauelement 6 ist ferner in eine Dotierungswanne 12, die als tiefe p-Dotierung ausgeführt ist, eingelassen. Auf diese Weise ist das laterale, aktive Bauelement 6, das sich an der Waferoberfläche befindet, potenzialmäßig von der spannungsführenden Waferrückseite entkoppelt. Auftretende Felder werden über die Raumladungszone der Dotierungswanne 12 aufgenommen. Zur vollständigen elektrischen Entkopplung wird nach dem Dünnen der Wafersubstrate auf der Rückseite ein Dielektrikum 13 aufgebracht. Wie in Fig. 3b zu sehen ist, wird das Dielektrikum 13 zur rückseitigen Kontaktierung der Leistungsbaulemente 6 an den entsprechenden Stellen für die Rückseitenmetallisierung 8, die abschließend auf der Rückseite des Halbleiterbauelementes aufgebracht wird, geöffnet.

Bezugszeichenliste

	1	Si-Substrat
5	2	Graben
	3	Grabensohle
	4	Isolationsschicht
	5	Leistungsbauelement
	6	Laterales, aktives Bauelement
10	7	Randabschlussstruktur
	8	Metallisierung
	9	IGBT
	10	Diode
	11	Vorderseitenkontakt
15	12	Dotierungswanne
	13	Dielektrikum
	14	p+ Implant
	15	n+ Implant

Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterbauelements, das über ein erstes vertikales Leistungsbauelement sowie wenigstens ein laterales, aktives Bauelement und/oder zumindest ein zweites vertikales Leistungsbauelement verfügt mit den Schritten:
- Bereitstellen eines eine Vorder- und eine Rückseite aufweisenden Si-Substrates,
  - Ätzen wenigstens eines Grabens, der zumindest eine Teilfläche der Vorderseite vollumfänglich umschließt, in das Si-Substrat,
  - Auffüllen des wenigstens einen Grabens mit einer Isolierung, die zumindest ein Dielektrikum enthält oder ein Dielektrikum ist,
  - Durchführen von Prozessschritten auf der Vorderseite des Si-Substrates zum Herstellen eines ersten vertikalen Leistungsbauelementes sowie wenigstens eines lateralen, aktiven Bauelements und oder zumindest eines zweiten vertikalen Leistungsbauelements, so dass sowohl das erste Leistungsbauelement als auch das wenigstens eine laterale aktive Bauelement und/oder zumindest ein zweites vertikales Leistungsbauelement kon- oder exzentrisch um einen gemeinsamen Bezugspunkt und jeweils durch den wenigstens einen Graben von einander getrennt auf dem Substrat angeordnet werden,



- Ganzflächiges Dünnen des Si-Substrates von der Rückseite her bis an die Isolierung,
- Kontaktierung der Leistungsbaulemente von der Rückseite her.

5

2. Verfahren nach Anspruch 1,  
dadurch **gekennzeichnet**, dass das erste  
Leistungsbaulement, das wenigstens eine laterale,  
aktive Baulement und/oder das zumindest eine zweite  
10 vertikale Leistungsbaulement annähernd ring- und/oder  
scheibenförmig ausgebildet werden.

3. Verfahren nach Anspruch 1 oder 2,  
dadurch **gekennzeichnet**, dass das laterale, aktive  
15 Baulement scheibenförmig ausgebildet und derart auf  
der Vorderseite angeordnet wird, dass es vollumfänglich  
von dem Graben und dem ersten vertikalen  
Leistungsbaulement umgeben wird.

20 4. Verfahren nach einem der Ansprüche 1 bis 3,  
dadurch **gekennzeichnet**, dass nach dem Dünnen und  
vor der Kontaktierung des wenigstens einen  
Leistungsbaulements ein Dielektrikum auf der Rückseite  
des Substrates abgeschieden wird.

25

5. Verfahren nach Anspruch 4,  
**gekennzeichnet** durch die Kontaktierung des  
Leistungsbaulements mit den Schritten:

- Herstellen von Öffnungen in dem Dielektrikum zur Kontaktierung des wenigstens einen Leistungsbauelements von der Rückseite her sowie
- 5        - Aufbringen einer Metallisierung auf die Rückseite.
- 6.     Verfahren nach Anspruch 5,  
         dadurch **gekennzeichnet**, dass die Metallisierung
- 10    strukturiert wird.
- 7.     Verfahren nach einem der Ansprüche 1 bis 6,  
         dadurch **gekennzeichnet**, dass das wenigstens eine
- 15    laterale, aktive Bauelement in einer dotierten Wanne  
         angeordnet wird.
- 8.     Verfahren nach Anspruch 7,  
         dadurch **gekennzeichnet**, dass das zumindest eine
- 20    laterale, aktive Bauelement in einer p-dotierten Wanne  
         angeordnet wird.

9. Verfahren nach einem der Ansprüche 1 bis 8,  
dadurch **gekennzeichnet**, dass das wenigstens eine  
laterale, aktive Bauelement in Bipolar, CMOS, NMOS und  
oder PMOS-Technologie in dem Halbleiterbauelement  
5 integriert wird.

10. Halbleiterbauelement, das wenigstens ein erstes  
vertikales Leistungselement sowie wenigstens ein  
laterales, aktives Bauelement und/oder zumindest ein  
10 zweites vertikales Leistungselement aufweist,  
zwischen denen wenigstens ein mit einer Isolierung  
gefüllter Graben angeordnet ist,  
dadurch **gekennzeichnet**, dass die Isolierung  
wenigstens teilweise ein Dielektrikum aufweist und dass  
15 das wenigstens eine vertikale Leistungselement und  
das wenigstens eine laterale, aktive Bauelement  
annähernd ring- und/oder scheibenförmig ausgebildet und  
ex- oder konzentrisch um einen gemeinsamen Bezugspunkt  
auf einem Si-Substrat angeordnet sind.

20 11. Halbleiterbauelement nach Anspruch 10,  
dadurch **gekennzeichnet**, dass das wenigstens eine  
Leistungselement ein IGBT, ein PMOS und/oder eine  
Diode ist.

25 12. Halbleiterbauelement nach Anspruch 10 oder 11,  
dadurch **gekennzeichnet**, dass das wenigstens eine  
Leistungselement für Spannungen von bis zu 1700 V  
geeignet ist.

13. Halbleiterbauelement nach einem der Ansprüche 10  
bis 12,  
dadurch **gekennzeichnet**, dass die Isolierung aus  
einer Kombination aus isolierenden, halbleitenden  
5 und/oder leitenden Materialien besteht.
14. Halbleiterbauelement nach einem der Ansprüche 10  
bis 13,  
dadurch **gekennzeichnet**, dass die Isolierung aus  
10 einer Kombination aus einem Dielektrikum und Poly-Si  
besteht.
15. Halbleiterbauelement nach einem der Ansprüche 10  
bis 14,  
15 dadurch **gekennzeichnet**, dass erste vertikale  
Leistungsbauelement und/oder das wenigstens eine  
laterale, aktive Bauelement vollumfänglich von  
zumindest einem gefüllten Graben und/oder dem zumindest  
einen zweiten vertikalen Leistungsbauelement umgeben  
20 ist.
16. Halbleiterbauelement nach einem der Ansprüche 10  
bis 15,  
dadurch **gekennzeichnet**, dass das wenigstens eine  
25 laterale, aktive Bauelement in einer dotierten Wanne  
angeordnet ist.

17. Halbleiterbauelement nach einem der Ansprüche 10 bis 16,  
dadurch **gekennzeichnet**, dass auf der Rückseite des Halbleiterbauelements ein Dielektrikum aufgebracht ist.

5

18. Halbleiterbauelement nach Anspruch 17,  
dadurch **gekennzeichnet**, dass das Dielektrikum Öffnungen aufweist, durch die die Leistungsbauelemente kontaktierbar sind.

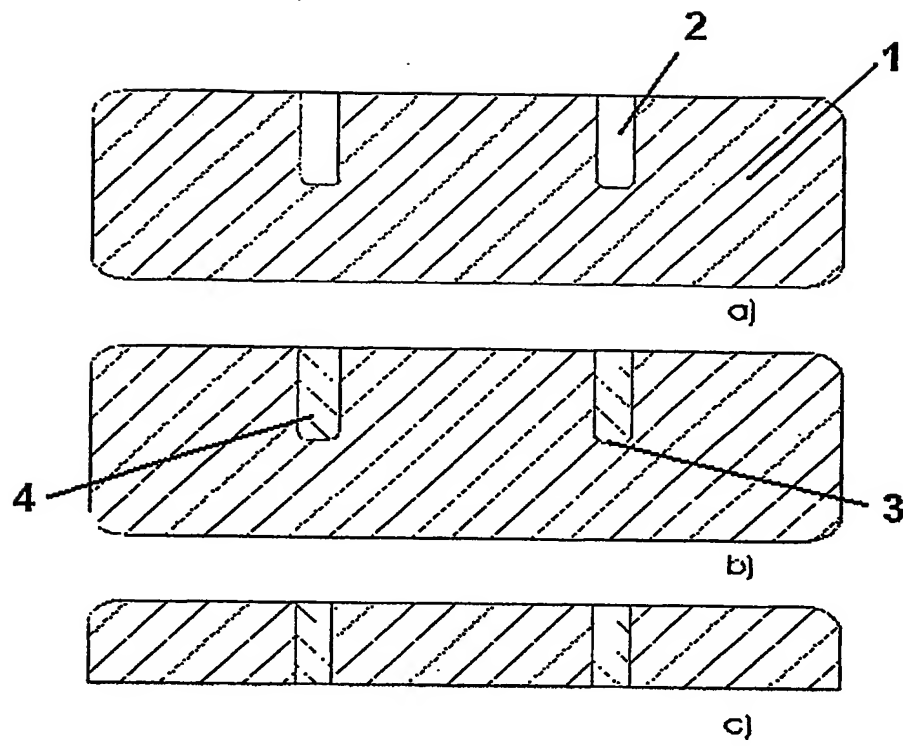
10

### Zusammenfassung

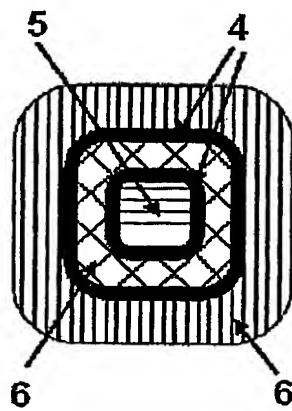
Beschrieben wird ein Verfahren zur Herstellung eines Halbleiterbauelements, das wenigstens ein erstes vertikales Leistungsbauelement sowie wenigstens ein  
5 laterales, aktives Bauelement und/oder zumindest ein zweites vertikales Leistungsbauelement aufweist, zwischen denen wenigstens ein mit einer Isolierung gefüllter Graben angeordnet ist sowie ein mit dem Verfahren hergestelltes Halbleiterbauelementes.

10

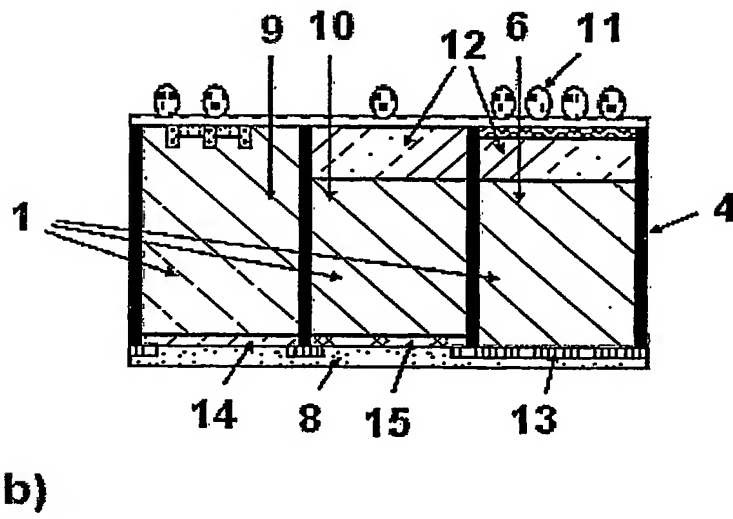
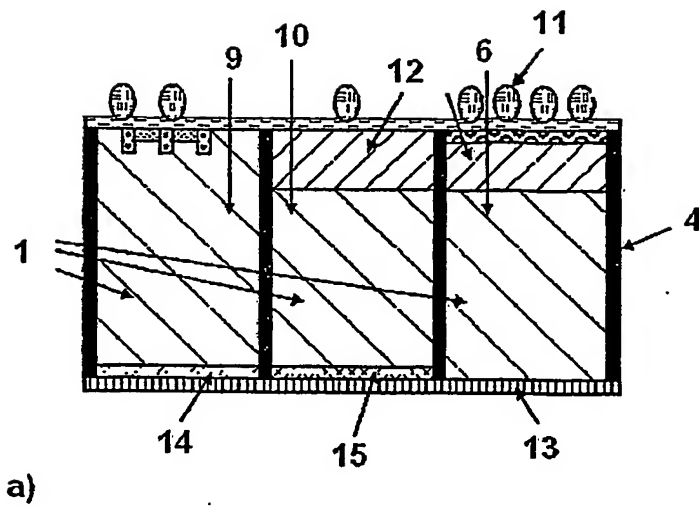
Das Halbleiterbauelement zeichnet sich im Wesentlichen durch eine ex- oder konzentrische Anordnung der jeweiligen Funktionselemente, die jeweils durch eine Trenchisolation voneinander getrennt sind,  
15 aus. Zur Herstellung eines solchen Halbleiterbauelementes wird in die Vorderseite eines Silizium-Substrates zumindest ein Graben geätzt, der wenigstens eine Teilfläche der Vorderseite vollumfänglich umschließt und der anschließend mit  
20 einer Isolation aufgefüllt wird. Im weiteren Verlauf des Verfahrens wird das Silizium-Substrat von der Rückseite her bis an die Isolierung, also bis an die Unterseite der Isolation, ganzflächig gedünnt. Die Kontaktierung der Leistungsbauelemente erfolgt von der  
25 Rückseite her.



**Fig. 1**



**Fig. 2**



**Fig. 3**